

BA

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-249628

(43)Date of publication of application : 17.09.1999

(51)Int.Cl.

G09G 3/36
G02F 1/133
H03M 1/74

(21)Application number : 10-052291

(71)Applicant : NEC YAMAGATA LTD

(22)Date of filing : 04.03.1998

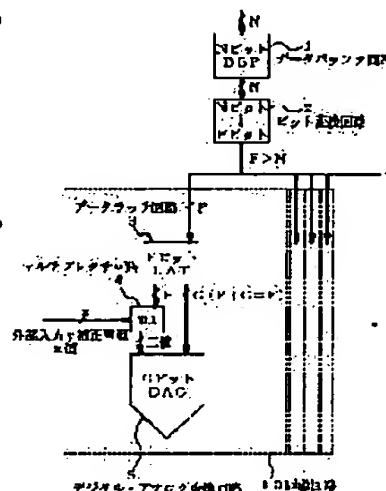
(72)Inventor : KATO FUMIHIKO

(54) LIQUID CRYSTAL DRIVING CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To approximate output voltage to the ideal γ characteristic of a liquid crystal display panel in a C(capacitance array type)-DAC(digital-analog conversion) system liquid crystal driving circuit deficient in the conformity with the γ curve of an output voltage.

SOLUTION: Two voltages adjacent each other are selected from plural γ correction voltages to be inputted from the outside based on upper P bits of input data of N bits to be displayed in a multiplexer circuit 4. The interval of the selected two voltage is equally divided into a number in accordance with remaining lower bits of display data in a digital-analog converting circuit 5. Moreover, a bit converting circuit 2 amplifying the number of bits of the display data to F bits larger than N bits provided to make the interval of the selected two γ correction voltages equally dividable into a number $(2^F - P)$ larger than the number $(2^N - P)$ of conventional divisions and to make the number of divisions selectable in accordance with the value of a γ correction voltage to be divided and the number of divisions is made large in the intermediate region of the γ correction voltages and the number of divisions is made small in the high region and the lower region.



LEGAL STATUS

[Date of request for examination]

04.03.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3231696

[Date of registration]

14.09.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

BEST AVAILABLE COPY

(50) 出願番号 (C P)

(10) 公開特許公報 (A)

(11) 特許公報番号

特開平11-249628

発明公開日 平成11年(1999)9月17日

出願人	代理人	特許
ソニー株式会社	505	505
505	505	505
505	505	505

審査請求 有 特許料の支払 有 (金 10 円)

(7) 出願番号 特開平11-249628

(7) 出願人 株式会社ソニー

(2) 出願日 平成11年(1999)3月4日

山形県本郷市本郷4丁目12番12号

山形県本郷市本郷4丁目12番12号 1001号

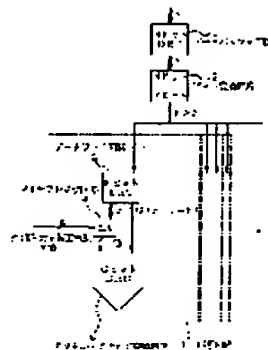
山形県本郷市本郷4丁目12番12号 1001号

(5) 発明の名称 液晶駆動回路

要約

【課題】出力電圧の γ カーブとの一致性に不足があったC-DAC方式液晶駆動回路において、出力電圧を液晶表示パネルの理想的な γ カーブに近づける。

【解決手段】マルチプレクサ回路4で、表示すべきNビットの入力データの上位Pビットに基づいて、外部から入力される複数の γ 補正電圧から互いに隣接する二つの電圧を選択する。選択された二つの γ 補正電圧の間を、デジタル・アナログ変換回路5で、表示データの残りの下位ビットに応じた数に等分割する。表示データのビット数をNより大なるFビットにビット数増幅するビット変換回路2を設け、上記選択された二つの γ 補正電圧の間を、従来の分割数2NPより大なる数(2FP)に等分割可能にすると共に、分割される γ 補正電圧の値に応じて分割数を選択可能にし、 γ 補正電圧の中間値或では分割数を大きくし、高い値或は低い値或では分割数を小さくする。



【特許請求の範囲】

【請求項1】 容量アレイ型のデジタル・アナログ変換回路を備え、表示すべきNビットの入力データの上位Pビットに基いて、外部から入力される複数の γ 補正電圧から互いに隣接する二つの電圧を選択すると共に、それら選択された二つの γ 補正電圧の間を、前記デジタル・アナログ変換回路で、前記表示すべき入力データの残りの下位ビットに応じた数に等分割することにより、前記Nビットの入力データから2N個の電圧を生成し、その中の一つを液晶駆動電圧として出力する液晶駆動回路において、前記表示すべき入力データのビット数をNより大なるFビットにビット数が増幅するビット変換回路を設け、前記選択された二つの γ 補正電圧の間を、2NPより大なる2FPに等分割可能にしたことを特徴とする液晶駆動回路。

【請求項2】 Nビットの入力端子とNビットの出力端子とを有し、前記入力端子に入力された表示すべきNビットの入力データを、前記出力端子に接続する次段の回路へデータ転送するNビットのデータバッファ回路と、Nビットの入力端子とFビットの出力端子とを有し、前記データバッファ回路の出力端子に接続して、前記データバッファ回路が出力するNビットのデータのビット数を、Nより大なるFビットにビット数が増幅するビット変換回路と、Fビットの入力端子とFビットの出力端子とを有し、前記ビット変換回路の出力端子に接続して、前記ビット変換回路が出力するFビットのデータを保持するデータラッチ回路と、前記データラッチ回路の出力ビットの上位Pビットデータと複数の γ 補正電圧を出力する外部の γ 補正電源装置とに接続され、前記データラッチ回路から転送される上位Pビットデータを参照して、前記 γ 補正電源装置が出力する複数の γ 補正電圧のうちから電圧値が互いに隣接する二つの電圧を選択し、その選択されたアナログの電圧を次段に転送するマルチプレクサ回路と、前記マルチプレクサ回路から出力される二つのアナログ電圧信号と、前記データラッチ回路が出力するFビット出力の下位ビットデータ（ $G=F-P$ ）とを入力とし、前記マルチプレクサ回路から出力される二つのアナログ電圧信号をもとに、等分割された電圧値から入力データに応じた液晶駆動電圧値を出力する、容量アレイ型でGビットのデジタル・アナログ変換回路を含んでなり、 $G=F-P > N-P$ とすることにより、前記マルチプレクサ回路によって選択された二つの γ 補正電圧の間を、2NPより大なる数に等分割可能にしたことを特徴とする液晶駆動回路。

【請求項3】 請求項1又は請求項2記載の液晶駆動回路において、

前記選択された二つの γ 補正電圧の間の分割数を、分割される γ 補正電圧の値に応じて選択可能にしたことを特徴とする液晶駆動回路。

【請求項4】 請求項2記載の液晶駆動回路において、前記データバッファ回路と前記ラッチ回路との間に、出力のデータ形式が互いに異なる複数のビット変換回路を並列に設けると共に、外部からの信号により前記複数のビット変換回路の一つを選択して前記データバッファ回路及び前記ラッチ回路に接続する手段を設け、前記ラッチ回路に入力するデータ形式を複数種の中から選択可能にしたことを特徴とする液晶駆動回路。

【請求項5】 請求項1乃至4のいずれかに記載の液晶駆動回路において、出力極性が交互に変換であることを特徴とする液晶駆動回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、液晶表示パネルに液晶駆動電圧を出力する液晶駆動回路に関し、特に、容量アレイ型アナログ・デジタル変換回路を用いた液晶駆動回路に関するものである。

【0002】

【従来の技術】 近年、コンピュータのダウンサイジング化の進展に伴い、CRTに置き代わる表示デバイスとして、低電圧、軽量、薄型をその特徴とする薄膜トランジスタ液晶表示パネルが注目されている。図26を参照して、上記の特徴を有する薄膜トランジスタ液晶表示パネルを駆動する液晶駆動回路の一つに、データバッファ回路（以下、DBFと記す）70を介した表示データを、デジタル信号のままラッチ回路（以下、LATと記す）80で一時的に保持し、液晶表示パネル200の直前のデジタル・アナログ変換回路（以下、DACと記す）90までデジタル処理する方式の駆動回路100がある。

【0003】 DAC90には、図27にそのブロック図を示す抵抗ストリングス型のDAC（以下、R-DACと記す）と、図28にブロック図を示す容量アレイ型のDAC（以下、C-DACと記す）とがある。図27を参照して、R-DAC90Rは抵抗91とスイッチ群92とを用いて構成され、入力されたデジタルデータによりスイッチ群92のうち一つのスイッチをオンさせて、所望のアナログ電圧値を得る。このR-DACを用いた液晶駆動回路においては、DBFにより振り分けられたデジタルデータは、一旦ラッチ群81に順次入力される。ラッチ群81内の全てのLATにデータが入力された後、ラッチ群81から次段のR-DAC90Rにデータ転送が行われる。R-DAC90R内では、入力デジタルデータに応じた一つのスイッチがスイッチ群92の中から選択され、インピーダンス変換を目的とする演算増幅器93を介して出力される。

【0004】一方、図28を参照して、C-DAC90Cは、重み付けされた容量群94と演算増設器95を用いて構成されている。このC-DAC90Cは、容量群94に蓄積される電荷の再分配と演算増設器95の特性とを利用して、所望の電圧値を得る。上記構成のC-DAC方式液晶駆動回路において、ラッチ群81から次段へのデータ転送までの動作は、上述のR-DAC方式液晶駆動回路における動作と同じである。次に、ラッチ群81から次段へ転送されたデータは、上位ビットデータと下位ビットデータに分けられ、上位ビットデータは、マルチプレクサ回路（以下、MUXと記す）96に入力される。MUX96内では、入力された上位ビットデータに応じて、外部から入力されている複数のガンマ（ γ ）補正電圧値97の中から隣接した二つの電圧値を選択し、次段のC-DAC90Cにデータ転送する。ここで、MUX96が選択する隣接する二つの電圧値とは、例えば、 γ 補正電圧値レベルが高い方からV0～V9であるとする、V3とV4或いはV5とV6などどのような電圧値を意味する。一方、下位ビットデータは、C-DAC内のコントロール回路（以下、CONTと記す）98に入力される。CONT98は、デジタルデータに応じたアナログ電圧値をC-DAC内で生成できるように、スイッチ群を動作させる回路である。CONT98を含むC-DAC90Cでは、MUX96から入力された隣接する二つの電圧値の間を等分割し、そのうちの一つの値を出力する。例えば、5ビットのC-DACであれば、MUX96で選択された二つの電圧値の間を32等分割し、CONT98に入力される5ビットのデータを参照に、32等分割された内の一つの値を選択し、演算増設器95を介して出力する。

【0005】図28内のC-DACの詳細図を、図29に示す。図29を参照して、この図に示すC-DACは上位2ビット+下位3ビットの5ビットのC-DACである。図中のスイッチはCONT98からの信号でスイッチング動作される。5ビットのC-DACの動作は、データサンプルをしてからデータホールドを行う。例えば、正極性の出力の場合、サンプル時にSW6、SW7、SW8Barがオンする。上位2ビット、下位3ビット内のスイッチは、前段のCONT98に入力されたデータによって決定され、どちらかのスイッチがオンする。

【0006】次にホールド時は、SW6、SW7がオフし、SW8がオンする。また、上位2ビット、下位3ビット内のスイッチは、先に前段のCONT98に入力されたデータによって決定され、どちらかのスイッチがオンする。

【0007】負極性の場合、サンプル時にSW6、SW7、SW8がオンする。上位2ビット、下位3ビット内のスイッチは、前段のCONT98に入力されたデータによって決定され、どちらかのスイッチがオンする。

【0008】次にホールド時は、SW6、SW7がオフし、SW8Barがオンする。また、上位2ビット、下位3ビット内のスイッチは、先に前段のCONT98に入力されたデータによって決定され、どちらかのスイッチがオンする。

【0009】以上のような動作をすることで、出力電圧V_{out}は次式で表される電圧になる。V_{at}=2V_{ref}-V_{if}-(V_{in}-V_{if}) $\times\alpha/32$

$$V_{at} = V_{if} + (V_{in} - V_{if}) \times \alpha / 32$$

($\alpha=0, 1, 2, 3, \dots, 31$)

α は、CONT98に入力されるデータで決定する。つまり、'00000'であれば $\alpha=0$ で、'11111'だったら $\alpha=31$ である。

【0010】ここで、本発明の理解を容易にするため、液晶の特性について説明する。一般に、液晶表示パネルの駆動回路は、液晶のイオン化現象を防止するために、フレーム毎に出力極性を変える交差駆動（逆極性出力駆動）を行なう必要がある。つまり、交差駆動とは、1フレーム目が液晶側の基準電圧に対して正の極性である画面は、次フレームでは基準電圧に対して負の極性にする駆動方法である。従って、液晶駆動回路としては、例えば256階調を表現するとしても、実際は、正極性分と負極性分とを合わせて512階調を生成できる必要がある。つまり、256階調のR-DAC液晶駆動回路では512個の選択スイッチが必要であるということになる。

【0011】一方、C-DAC方式の液晶駆動回路の場合は、前述したように、スイッチ群のスイッチング動作を変換させることで逆極性出力が容易に行えるので、階調増加のためのスイッチ数や単位容量を増加させる必要がない。つまり、液晶駆動の特徴である逆極性出力駆動の必要による回路増加がない。このような構成のC-DACの一例が、本発明の譲受人と同一譲受人による特願平8-027075号「液晶画像信号制御方法及び制御回路」或いは特願平9-168824号「スイッチト・キャパシタ型DA変換回路及びその制御方法及びLCD駆動制御回路及びLCD駆動制御方法」に記載されている。

【0012】又、液晶のもう一つの特徴に、印加電圧に対する光の透過率が一定ではなく、 γ カーブという特殊なカーブを持っているということがある。そのため、液晶駆動回路では、 γ カーブに合わせた γ 補正を行う必要がある。 γ カーブの特徴は、液晶に加える印加電圧によってカーブの形が異なり、印加電圧が液晶側の基準電圧に対して高い部分および低い部分では光の透過率が急激に変化し、印加電圧の中間電圧領域では比較的緩やかな透過率の変化となることにある。

【0013】

【発明が解決しようとする課題】図27に示すR-DA

C方式液晶駆動回路の特徴は、液晶表示パネルのγカーブにあわせるように抵抗91を分割にすることで、より忠実な色再現ができることである。しかし、階調数分の選択スイッチが必要であり、例えば256階調再現する8ビット液晶駆動回路では、極性反転のフレーム切替え分のスイッチを含め、512個の選択スイッチが必要である。そのため、多階調に伴う回路の面積増加が重大な問題となる。

【0014】一方、図28に示すC-DACを使用した液晶駆動回路の特徴は、あるビット数のC-DAC90Cを更に内部で分割することにより、通常必要となる単位容量数を減らすことができることにある。図28、29内に示すC-DAC90Cは、5ビットのC-DACである。通常、5ビットのC-DACでは64個の単位容量が必要になるが、図に示すように、5ビットC-DACを上位2ビット+下位3ビットに分割することで、単位容量を16個まで減らすことができる。さらにC-DACの特徴である、フレーム毎の極性反転をその駆動法を変えることにより行うことができるので、面積増加を伴わない逆極性出力が可能である。

【0015】このように、C-DACを使用した液晶駆動回路によれば、ビット数増加に伴う面積増加を抑えることができる。しかし、従来のC-DACでは、MUX96で選択した外部入力γ補正電圧値97を、ある決まった係数による等分割でしか分割できない。例えば、通常の8ビットの液晶駆動回路では、5ビットのC-DACを用意し、MUX96で選択された二つの電圧値の間をC-DACで32等分割しているが、常にある係数に従った等分割（この場合は、32等分割）であるので、液晶のγカーブに合わせることも困難である。液晶のγカーブにその出力電圧を合わせるためには、印加電圧の中心においては直線的な出力をする一方で、印加電圧の高い部分と低い部分では曲線的にする必要がある。

【0016】つまり、R-DACを利用した駆動回路ではビット数増加に伴う面積増加が問題となり、C-DACを利用した駆動回路ではγ補正が困難で、色再現の上で不利なといえる。従って、本発明の目的は、C-DACを用いた液晶駆動回路において、C-DACの出力を液晶表示パネルのγカーブにより近づけることを可能にすることにある。

【0017】

【課題を解決するための手段】本発明による液晶駆動回路は、容量アレイ型のデジタル・アナログ変換回路を備え、表示すべきNビットの入力データの上位Pビットに基づいて、外部から入力される複数のγ補正電圧から互いに隣接する二つの電圧を選択すると共に、それら選択された二つのγ補正電圧の間を、前記デジタル・アナログ変換回路で、前記表示すべき入力データの残りの下位ビットに応じた数に等分割することにより、前記Nビットの入力データから2N個の電圧を生成し、その中の一つ

を液晶駆動電圧として出力する液晶駆動回路において、前記表示すべき入力データのビット数をNより大なるFビットにビット数増幅するビット変換回路を設け、前記選択された二つのγ補正電圧の間を、2NPより大なる2FPに等分割可能にしたことを特徴とする。

【0018】本発明は、従来、ある係数に従った等分割でしか出力できなかったC-DAC方式の液晶駆動回路に対し、内部でビット数を増加させている。例えば、表示すべきデータが8ビットの場合、従来、その8ビットを上位3ビットと下位5ビットに分割する。そして、5ビットのC-DACを用い、MUX96が上位3ビットを参照して選択した外部からの二つのγ補正電圧値の間を32等分割する。つまり、32等分にしか分割できなかった。本発明の液晶駆動回路は、上記表示データのビット数を8ビットから9ビットに増幅させるビット変換回路を備えている。このビット変換回路により、表示データを上位3ビットと下位6ビットというように、下位ビットの数を5ビットから6ビットに増やして分けることを可能にし、γ補正電圧の最大の分割数を従来の32から64に増加させる。そして、分割されるγ補正電圧の値に応じて、分割数を8等分割、16等分割、32等分割、64分割の中から選択するようにして、C-DACの出力電圧を液晶表示パネルの理想的なγカーブに近づける。

【0019】

【発明の実施の形態】次に、本発明の実施の形態について、図面を参照して説明する。図1は、本発明の第1の実施の形態による液晶駆動回路の構成を示すブロック図である。図1を参照して、Nビットのデータバッファ回路1は、Nビットの入力端子とNビットの出力端子とを有し、Nビットの入力データを、次段のビット変換回路2へデータ転送する。

【0020】ビット変換回路2は、Nビットの入力端子とFビットの出力端子（但し、FはNより大）とを有し、上記データバッファ回路1の出力端子に接続して、Nビットの入力ビット数を必要に応じてFビットにまでビット数増幅する。

【0021】データラッチ回路3は、Fビットの入力端子とFビットの出力端子とを有し、上記ビット変換回路2の出力端子に接続して、入力されたFビットのデータを保持する。

【0022】マルチプレクサ回路4は、Fビットデータラッチ回路3の出力データの上位Pビットデータと、x個の電圧値を出力する外部入力γ補正電源（図示せず）に接続される。そして、データラッチ回路3から転送される上位Pビットデータを参照して、外部入力γ補正電源のx個の電圧値のうち隣接した二つの電圧値を選択し、その選択されたアナログ電圧値を次段に転送する。

【0023】デジタル・アナログ変換回路5は容量アレイ型のGビットのもので、マルチプレクサ回路4から出

力される二つのアナログ電圧信号と、データラッチ回路3が出力するFビット出力の下位Gビットデータ(G=F-P)とを入力とし、マルチプレクサ回路4から出力される二つのアナログ電圧信号を等分割にし、データラッチ回路3からの入力データをもとに、等分割された電圧値から入力データに応じた液晶駆動電圧値を出力する。

【0024】以下に、本実施の形態における動作について、説明する。一般的に、NビットC-DACの出力電圧 V_{out} は、以下の2つの式で表される。下記の2式は、極性反転時の出力電圧である。 $V_{out} = 2V_{ref} - V_0 - (V_1 - V_0) \times \alpha / n$
 $V_{out} = V_0 + (V_1 - V_0) \times \alpha / n$ ($\alpha = 0, 1, 2, 3, \dots, n-1, n=2N$)

ここで、 V_{ref} はC-DAC内で演算を行うための、外部から入力される参照電圧であり、 V_0, V_1 は外部入力から入力される γ 補正電圧である。例えば、5ビットのC-DACの場合は、以下の式で表される。

$V_{out} = 2V_{ref} - V_0 - (V_1 - V_0) \times \alpha / 32$ $V_{out} = V_0 + (V_1 - V_0) \times \alpha / 32$ ($\alpha = 0, 1, 2, \dots, 31$)
 従って、上式から、5ビットのC-DACの場合は、 V_{ref} を基準電圧として、 V_0 と V_1 間の電圧差を32等分割することがわかる。

【0025】一般に、256階調(8ビット精度)の液晶駆動回路の場合、外部から入力される γ 補正電圧としては、 $V_0 \sim V_8$ の9個の電圧が用意される。そして、5ビットのC-DACで、 $V_0 \sim V_1$ 間を32等分割、 $V_1 \sim V_2$ 間を32等分割、 $V_2 \sim V_3$ 間を32等分割、 \dots 、 $V_7 \sim V_8$ 間を32等分割し、結局、外部からの γ 補正電圧 $V_0 \sim V_8$ 間を、32等分割 $\times 8$ で256等分割して256階調を実現する。

【0026】本実施の形態では、C-DACにより、一例として、 $V_0 \sim V_1$ 間を16等分割、 $V_1 \sim V_2$ 間を16等分割、 $V_2 \sim V_3$ 間を32等分割、 $V_3 \sim V_4$ 間を64等分割、 $V_4 \sim V_5$ 間を64等分割、 $V_5 \sim V_6$ 間を32等分割、 $V_6 \sim V_7$ 間を16等分割、 $V_7 \sim V_8$ 間を16等分割して、合計で256等分割する。つまり、9個の γ 補正電圧 V_0, \dots, V_8 中の隣り合う二電圧間の分割数を、分割される電圧値の大きさに応じて異なるものにより、出力される256階調電圧を液晶の γ カーブに近づける。

【0027】上述のような分割方法を実現するには、Nビット \times Fビット変換回路2で、表1(図4)～表6(図9)に示すようなビット数増幅を必要がある。尚、以下の説明の便宜のため、図2に、本実施の形態で256階調を実現するものとして、8ビットを9ビットにビット変換し、上位3ビットと下位6ビットに分ける場合について、具体的に数値を代入したブロック図を示す。図2及び表1～表6を参照して、表1(図4)は図

2に対応する $V_0 \sim V_1$ 間を16等分割、 $V_1 \sim V_2$ 間を16等分割する場合の8ビット \rightarrow 9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'0000'の場合は、マルチプレクサ回路4に'000'を入力する。上位4ビットが'0001'の場合は、マルチプレクサ回路4に'001'を入力する。

【0028】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。16等分割の場合、下位6ビット中の下位2ビットは'00'でよい。従って、入力8ビットの下位4ビットを、そのまま下位6ビットの上位4ビットに使用し、さらに、下位2ビットに'00'を追加して、デジタル・アナログ変換回路5に入力する。

【0029】表2(図5)は、図2に対応する $V_2 \sim V_3$ 間を32等分割する場合の、8ビット \rightarrow 9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'0010'の場合と、'0011'の場合は、マルチプレクサ回路4に'010'を入力する。

【0030】次に、デジタル・アナログ変換回路5に入力するための、下位6ビットの生成法を述べる。32等分割の場合、下位6ビット中の下位1ビットは'0'でよい。従って、入力8ビットの下位5ビットを、そのまま下位6ビットの上位5ビットに使用し、さらに、下位1ビットに'0'を入れて、デジタル・アナログ変換回路5に入力する。

【0031】表3A(図6(a))、表3B(図6(b))は、図2に対応する $V_3 \sim V_4$ 間を64等分割する場合の、8ビット \rightarrow 9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'0100'、'0101'、'0110'、'0111'の場合はマルチプレクサ回路4に'011'を入力する。

【0032】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。64等分割の場合、下位6ビットをそのままデジタル・アナログ変換回路5に入力する。

【0033】表4A(図7(a))、表4B(図7(b))は、図2に対応する $V_4 \sim V_5$ 間を64等分割する場合の、8ビット \rightarrow 9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'1000'、'1001'、'1010'、'1011'の場合は、マルチプレクサ回路4に'100'を入力する。

【0034】次に、デジタル・アナログ変換回路5に入

力するための下位6ビットの生成法を述べる。64等分割の場合、下位6ビットをそのままデジタル・アナログ変換回路5に入力する。

【0035】表5(図8)は、図2に対応するV5-V6間を32等分割する場合の、8ビット→9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'1100'の場合と、'1101'の場合は、マルチプレクサ回路4に'101'を入力する。

【0036】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。32等分割の場合、下位6ビット中下位1ビットは'0'でよい。従って、入力8ビットの下位5ビットを、そのまま下位6ビットの上位5ビットに使用し、さらに、下位1ビットに'0'を入れて、デジタル・アナログ変換回路5に入力する。

【0037】表6(図9)は、図2に対応するV6-V7間を16等分割、V7-V8間を16等分割する場合の、8ビット→9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'1110'の場合は、マルチプレクサ回路4に'110'を入力する。上位4ビットが'1111'の場合は、マルチプレクサ回路4に'111'を入力する。

【0038】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。16等分割の場合、下位6ビット中の下位2ビットは'00'でよい。従って、入力8ビットの下位4ビットを、そのまま下位6ビットの上位4ビットに使用し、さらに、下位2ビットに'00'を追加して、デジタル・アナログ変換回路5に入力する。

【0039】上記したような分割を行う場合、V3-V4間とV4-V5間とは64等分割であるので、6ビットのC-DACが必要になる。つまり、8ビット液晶駆動回路では、従来、5ビットのC-DACが用いられていたが、本実施の形態は、6ビットまでビット数増幅したC-DACを必要とする。6ビットのC-DACの出力電圧は、以下の式で表される。 $V_{out} = 2V_{ref} - V_m - (V_{HI} - V_m) \times \alpha / 64$

$$V_{out} = V_m + (V_{HI} - V_m) \times \alpha / 64$$

$$(\alpha = 0, 1, 2, 3, \dots, 63 \quad m = 0, 1, 2, \dots, 7)$$

この式は、2電圧間を64等分割することを意味している。本実施の形態の場合、V0-V1間は16等分割であるので、 α の取る値は0, 4, 8, ...である。32等分割する部分では、 α は0, 2, 4, 6, ...だけでよい。

【0040】次に、本発明の第2の実施の形態について説明する。図3は、第2の実施の形態による液晶駆動回

路のブロック図である。本実施の形態は、Nビット・Fビット変換回路20の構成が第1の実施の形態と異なっており、第1の実施の形態に用いたと同様のNビット・Fビット変換回路(図1参照)を多数備えている。そして、それら第1ビット変換回路21、第2ビット変換回路22、第3ビット変換回路23、第4ビット変換回路24、...等の各ビット変換回路の出力データ形式は、それぞれ異なるものにされている。次段のラッチ回路3へは、外部からの選択信号により、用意した多種類のNビット・Fビット変換回路の中から一つを選択してデータ入力する。これにより、ラッチ回路3に入力するデータ形式を、それぞれ異なる特性を持つ多種類の出力データの中から選択できるようにしている。

【0041】本実施の形態では、ビット数変換回路を多種類設けることで、一例として、外部から入力される選択信号により、V0-V1間は32等分割、V1-V2間は32等分割、V2-V3間は32等分割、V3-V4間は32等分割、V4-V5間は32等分割、V5-V6間は32等分割、V6-V7間は32等分割、V7-V8間は32等分割して256階調にする場合と、V0-V1をC-DACで16等分割、V1-V2を16等分割、V2-V3を32等分割、V3-V4を64等分割、V4-V5を64等分割、V5-V6を32等分割、V6-V7を16等分割、V7-V8を16等分割して256階調にする場合と、V0-V1間をC-DACで16等分割、V1-V2間を32等分割、V2-V3間を32等分割、V3-V4間を64等分割、V4-V5間を32等分割、V5-V6間を32等分割、V6-V7間を32等分割、V7-V8間を16等分割する場合などのように切り替えられることを特徴としている。

【0042】上述のような分割方法を実現するには、Nビット・Fビット変換回路20で、表1(図4)~表22(図25)に示すようなビット数増幅を必要がある。

【0043】まず、V0-V1間は32等分割、V1-V2間は32等分割、V2-V3間は32等分割、V3-V4間は32等分割、V4-V5間は32等分割、V5-V6間は32等分割、V6-V7間は32等分割、V7-V8間は32等分割する場合を、表7(図10)~表14(図17)に示す。

【0044】表7(図10)は、V0-V1間を32等分割する場合の、8ビット→9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位3ビットから判断し、そのまま下位6ビットの上位4ビットに使用する。

【0045】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。この32等分割の場合、下位6ビット中下位1ビットは'0'で

よい。従って、入力8ビットの下位5ビットをそのまま下位6ビットの上位5ビットに使用し、さらに、下位1ビットに'0'を追加して、デジタル・アナログ変換回路5に入力する。

【0046】表8～表14も同様であり、V1-V2間、V2-V3間、V3-V4間、V4-V5間、V5-V6間、V6-V7間、V7-V8間を32等分割する場合の、8ビット→9ビットの変換方法を示す。

【0047】次に、V0-V1間は16等分割、V1-V2間は16等分割、V2-V3間は32等分割、V3-V4間は64等分割、V4-V5間は64等分割、V5-V6間は32等分割、V6-V7間は16等分割、V7-V8間は16等分割する場合について説明する。この場合は、前述したように、表1(図4)～表6(図9)に示すように変換する。

【0048】次に、V0-V1間は16等分割、V1-V2間は32等分割、V2-V3間は32等分割、V3-V4間は64等分割、V4-V5間は32等分割、V5-V6間は32等分割、V6-V7間は32等分割、V7-V8間は16等分割する場合について説明する。表15(図18)は、V0-V1間を16等分割する場合の、8ビット→9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'0000'の場合は、マルチプレクサ回路4に'000'を入力する。

【0049】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。16等分割の場合、下位6ビット中の下位2ビットは'00'でよい。従って、入力8ビットの下位4ビットを、そのまま下位6ビットの上位4ビットに使用し、さらに、下位2ビットに'00'を追加して、デジタル・アナログ変換回路4に入力する。

【0050】表16(図19)は、V1-V2間を32等分割する場合の、8ビット→9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'0001'の場合と'0010'の場合は、マルチプレクサ回路4に'001'を入力する。

【0051】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。この場合の32等分割は、まず、入力8ビットデータから16を引いた8ビットデータを参考にする。例えば、入力データが38階調目の'00100110'の場合、そのデータから16を引いて'00010110'に変換する。変換してから下位5ビットを、そのまま下位6ビットの上位5ビットに使用し、さらに、下位1ビットに'0'を追加して、デジタル・アナログ変換回路5に入力する。

【0052】表17(図20)は、V2-V3間を32等分割する場合の、8ビット→9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'0011'の場合と'0100'の場合は、マルチプレクサ回路4に'010'を入力する。

【0053】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。この場合の32等分割は、同様に、入力8ビットデータから16を引いた8ビットデータを参考にする。そして変換してから下位5ビットを、そのまま下位6ビットの上位5ビットに使用し、さらに、下位1ビットに'0'を追加して、デジタル・アナログ変換回路5に入力する。

【0054】表18A(図21(a))、表18B(図21(b))は、V2-V3間を64等分割する場合の8ビット→9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'0101'、'0110'、'0111'、'1000'の場合は、マルチプレクサ回路4に'011'を入力する。

【0055】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。この場合の64等分割は、同様に、入力8ビットデータから16を引いた8ビットデータを参考にする。そして、変換してから下位6ビットを、そのままデジタル・アナログ変換回路5に入力する。

【0056】表19(図22)は、V4-V5間を32等分割する場合の、8ビット→9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'1001'の場合と'1010'の場合は、マルチプレクサ回路4に'100'を入力する。

【0057】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。この場合の32等分割は、前と同様に、入力8ビットデータから16を引いた8ビットデータを参考にする。そして、変換してから下位5ビットをそのまま下位6ビットの上位5ビットに使用し、さらに、下位1ビットに'0'を追加して、デジタル・アナログ変換回路5に入力する。

【0058】表20(図23)は、V5-V6間を32等分割する場合の、8ビット→9ビットの変換方法を示す表である。まず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'1011'の場合と'1100'の場合は、マルチプレクサ回路4に'101'を入力する。

【0059】次に、デジタル・アナログ変換回路5に入

力するための下位6ビットの生成法を述べる。この場合の32等分割は、同様に、入力8ビットデータから16を引いた8ビットデータを参考にする。そして、変換してから下位5ビットをそのまま下位6ビットの上位5ビットに使用し、さらに、下位1ビットに'0'を追加して、デジタル・アナログ変換回路5に入力する。

【0060】表21(図24)は、V6-V7間を32等分割する場合の、8ビット→9ビットの変換方法を示す表である。先ず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'1101'の場合と'1110'の場合は、マルチプレクサ回路4に'110'を入力する。

【0061】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。この場合の32等分割は、同様に、入力8ビットデータから16を引いた8ビットデータを参考にする。そして、変換してから下位5ビットをそのまま下位6ビットの上位5ビットに使用し、さらに、下位1ビットに'0'を追加して、デジタル・アナログ変換回路5に入力する。

【0062】表22(図25)は、V7-V8間を16等分割する場合の、8ビット→9ビットの変換方法を示す表である。先ず、マルチプレクサ回路4に入力するための上位3ビットを、入力8ビットの上位4ビットから判断する。上位4ビットが'1111'の場合は、マルチプレクサ回路4に'111'を入力する。

【0063】次に、デジタル・アナログ変換回路5に入力するための下位6ビットの生成法を述べる。16等分割の場合、下位6ビット中の下位2ビットは'00'でよい。従って、入力8ビットの下位4ビットを、そのまま下位6ビットの上位4ビットに使用し、さらに、下位2ビットに'00'を追加して、デジタル・アナログ変換回路5に入力する。

【0064】本実施の形態は、上述したようなNビット・Fビット変換回路を複数使用することで、分割方式を切り替えられるという効果を示す。

【0065】

【発明の効果】以上説明したように、本発明は、従来、二つの r 補正電圧の間を、 r 補正電圧の大きさに関わりなく、固定した数にしか等分割できなかったC-DACに対し、内部でビット数増加させることで、分割の種類を増加させている。これにより本発明によれば、例えば、 r 補正電圧をその補正電圧の大きさに応じて、8等分割、16等分割、32等分割、……などのように分割数を可変にして、C-DACの出力電圧を液晶表示パネルの理想的な r カーブに近づけることができる。

ットの場合を示すブロック図である。

【図3】第2の実施の形態による液晶駆動回路の構成を示すブロック図である。

【図4】図2に対応するV0-V1間を16等分割、V1-V2間を16等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図5】図2に対応するV2-V3間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図6】図2に対応するV3-V4間を64等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図7】図2に対応するV4-V5間を64等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図8】図2に対応するV5-V6間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図9】図2に対応するV6-V7間を16等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図10】V0-V1間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図11】V1-V2間、V2-V3間、V3-V4間、V4-V5間、V5-V6間、V6-V7間、V7-V8間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図12】V1-V2間、V2-V3間、V3-V4間、V4-V5間、V5-V6間、V6-V7間、V7-V8間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図13】V1-V2間、V2-V3間、V3-V4間、V4-V5間、V5-V6間、V6-V7間、V7-V8間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図14】V1-V2間、V2-V3間、V3-V4間、V4-V5間、V5-V6間、V6-V7間、V7-V8間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図15】V1-V2間、V2-V3間、V3-V4間、V4-V5間、V5-V6間、V6-V7間、V7-V8間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図16】V1-V2間、V2-V3間、V3-V4間、V4-V5間、V5-V6間、V6-V7間、V7-V8間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図17】V1-V2間、V2-V3間、V3-V4間、V4-V5間、V5-V6間、V6-V7間、V7-V8間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図18】V0-V1間を16等分割する場合の、8ビット→9ビットの変換表を示す図である。

【図19】V1-V2間を32等分割する場合の、8ビ

【図面の簡単な説明】

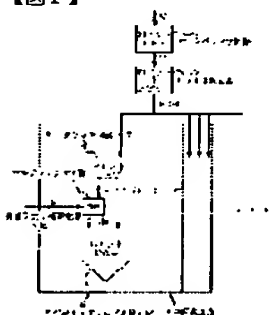
【図1】第1の実施の形態による液晶駆動回路の構成を示すブロック図である。

【図2】第1の実施の形態において、表示データが8ビ

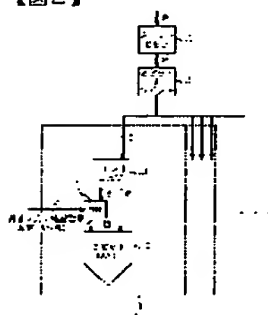
ット→9ビットの変換表を示す図である。
 【図20】V2-V3間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。
 【図21】V2-V3間を64等分割する場合の8ビット→9ビットの変換表を示す図である。
 【図22】V4-V5間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。
 【図23】V5-V6間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。
 【図24】V6-V7間を32等分割する場合の、8ビット→9ビットの変換表を示す図である。
 【図25】V7-V8間を16等分割する場合の、8ビット→9ビットの変換表を示す図である。
 【図26】液晶駆動回路の一般的な構成を示すブロック図である。
 【図27】R-DAC方式の液晶駆動回路の構成を示すブロック図である。
 【図28】従来のC-DAC方式液晶駆動回路の構成を示すブロック図である。
 【図29】C-DACの詳細回路図を示す図である。
 【符号の説明】
 1 データバッファ回路

2 ビット変換回路
 3 ラッチ回路
 4 マルチプレクサ回路
 5 コントロール回路
 6 デジタル・アナログ変換回路
 10 液晶駆動回路
 20 ビット変換回路
 70 データバッファ回路
 80 ラッチ回路
 81 ラッチ群
 90 デジタル・アナログ変換回路
 90C, 90R DAC
 91 抵抗
 92 スイッチ群
 93, 95 演算増幅器
 94 容量群
 96 マルチプレクサ回路
 97 補正電圧値
 98 コントロール回路
 100 液晶駆動回路
 200 液晶表示パネル

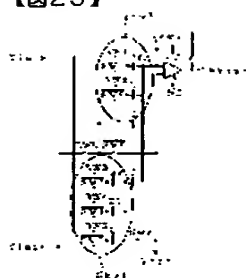
【図1】



【図2】



【图29】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.